

5/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

012557709 \*\*Image available\*\*  
WPI Acc No: 1999-363815/ 199931  
XRPX Acc No: N99-271821

Asynchronous transfer mode ATM switch - has transmitting unit which temporarily increases amount of data being transmitted when summation of quantity of logic communication connections exceeds traffic limit assigned to logic communication path

Patent Assignee: HITACHI LTD (HITA ); HITACHI SOFTWARE ENG CO LTD (HISF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11136252	A	19990521	JP 97298693	A	19971030	199931 B

Priority Applications (No Type Date): JP 97298693 A 19971030

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11136252	A	12	H04L-012/28	

Abstract (Basic): JP 11136252 A

NOVELTY - The data traffic condition is relayed to a transmitting unit (126). The transmitting unit temporarily increases the amount of data being transmitted when the summation of the quantity of logic communication connections, which include the logic communication connection of a logic communication path, exceeds the traffic limit assigned to the logic communication path. DETAILED DESCRIPTION - The data traffic in a queuing buffer (124) is monitored when the quantity of specific logic communication connections has exceeded a predetermined quantity. An INDEPENDENT CLAIM is included for a data traffic control method.

USE - None given.

ADVANTAGE - Ensures effective utilization of quota band for every VP, thus increasing transmission efficiency. Ensures effective utilization of circuit resource. DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of an ATM switch. (124) Queuing buffer; (126) Transmitting unit.

Dwg.1/17

Title Terms: ASYNCHRONOUS; TRANSFER; MODE; ATM; SWITCH; TRANSMIT; UNIT; TEMPORARY; INCREASE; AMOUNT; DATA; TRANSMIT; SUM; QUANTITY; LOGIC; COMMUNICATE; CONNECT; TRAFFIC; LIMIT; ASSIGN; LOGIC; COMMUNICATE; PATH

Derwent Class: W01

International Patent Class (Main): H04L-012/28

International Patent Class (Additional): H04Q-003/00

File Segment: EPI

5/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347: JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

06194699 \*\*Image available\*\*  
ATM SWITCH AND SHAPING METHOD

PUB. NO.: 11-136252 A]  
PUBLISHED: May 21, 1999 (19990521)  
INVENTOR(s): NAGABUCHI MASANORI  
NIWA TOKUHIRO  
IIJIMA AKIYUKI  
APPLICANT(s): HITACHI LTD  
HITACHI SOFTWARE ENG CO LTD  
APPL. NO.: 09-298693 [JP 97298693]  
FILED: October 30, 1997 (19971030)

INTL CLASS: H04L-012/28; H04Q-003/00

ABSTRACT

PROBLEM TO BE SOLVED: To effectively utilize a VP (logical communication path) and to enhance a transmission efficiency of each VC by changing dynamically a transmission traffic quantity in each VC (logical communication connection) in the VP.

SOLUTION: The traffic received from a user terminal 130 is sent to a transfer section 113 via a reception section 112. The transfer section 113 transfers the traffic to an output side channel interface section 120 corresponding to an output port. The transferred traffic is received by a reception section 121. The received traffic is shared in a queue 125 defined for each VC in a queue buffer 124 depending on values of VP, VC of each traffic with a control section 122 referring to a reception traffic assignment table 123. The traffic registered in each queue 125 is extracted by a transmission section 126 and sent to a channel 140 from a transmission port 128.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-136252

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

E

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号

特願平9-298693

(22) 出願日

平成9年(1997)10月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233055

日立ソフトウェアエンジニアリング株式会社

神奈川県横浜市中区尾上町6丁目81番地

(72) 発明者 長淵 正紀

神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内

(74) 代理人 弁理士 武 顕次郎

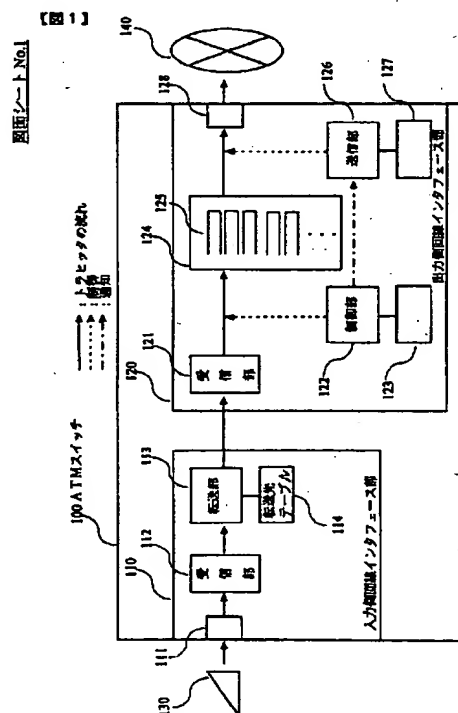
最終頁に続く

(54) 【発明の名称】 ATMスイッチ及びシェーピング方法

(57) 【要約】

【課題】 ATMスイッチにおいて、VP毎のシェーピングを行う際に、当該VP内の各VCの受信トラフィック量に応じて各VCの送信トラフィック量を動的に変化させ、VP内の帯域の有効活用と各VCの送信効率の向上を図る。

【解決手段】 VP内の各VCの受信トラフィック量を監視し、あるVCの受信トラフィック量が当該VCに割り当てられた帯域を上回り、トラフィックの滞留が発生しているとき、そのVCの送信トラフィック量を、当該VCが設定されているVP内の当該VCを含めた各VCの送信トラフィック量の総和が同VPに割り当てられた帯域を超えない範囲で調整する。また、トラフィックの滞留の検出は、出力側回線インタフェース内の各VCに割り当てられたキューに登録されている送信待ちトラフィックのセル数を監視し、予め定義された量を超えた場合、トラフィックの滞留の発生を通知する。



## 【特許請求の範囲】

【請求項1】 複数の回線を収容し、出力側回線インタフェースから回線に送信する送信トラフィックの量を制御するシェーピング機能を有し、複数の論理通信コネクションが設定された論理通信経路毎にシェーピングを行うATMスイッチにおいて、受信したデータを送信するまでの間一時的に保持する論理通信コネクション毎のキューを有するキューバッファと、データのキューへの格納を制御する制御部と、論理通信経路の送信トラフィック量の制御に使用するシェーピング定義情報テーブルと、制御部からの指示と前記シェーピング定義情報テーブルの内容に基づいてキューバッファからデータの読み出し、送信を制御する送信部とを備え、前記制御部は、入力側回線インタフェースを通して受信されている受信トラフィックの量と、前記キューバッファ内で滞留している滞留トラフィックとを監視し、ある論理通信コネクションの滞留トラフィックの量が、予め定められた量を上回っているとき、トラフィックの滞留を前記送信部に通知し、前記送信部は、その論理通信コネクションが属する論理通信経路の当該論理通信コネクションをも含めた各論理通信コネクションの送信トラフィック量の総和がその論理通信経路に割り当てられたトラフィック量を超えない範囲で、当該論理通信コネクションの送信トラフィック量を一時的に増加させることを特徴とするATMスイッチ。

【請求項2】 複数の回線を収容し、出力側回線インタフェースから回線に送信する送信トラフィックの量を制御するシェーピング機能を有し、複数の論理通信コネクションが設定された論理通信経路毎にシェーピングを行うATMスイッチのシェーピング方法において、入力側回線インタフェースを通して受信されている受信トラフィックの量と、ある論理通信コネクションの受信トラフィックの量が、予めその論理通信コネクションに対して割り当てられている送信トラフィックの量を上回って、出力側回線インタフェース内にトラフィックの滞留が発生しているか否かを監視し、ある論理通信コネクションの滞留トラフィックの量が、予め定められた量を上回っているとき、その論理通信コネクションが属する論理通信経路の当該論理通信コネクションをも含めた各論理通信コネクションの送信トラフィック量の総和がその論理通信経路に割り当てられた帯域を超えない範囲で、当該論理通信コネクションの送信トラフィック量を割り当てられた帯域を超えて一時的に増加させることを特徴とするシェーピング方法。

【請求項3】 前記トラフィックの滞留が発生しているか否かの監視は、出力側回線インタフェース内で、受信トラフィックが送信されるまでの間、論理通信コネクション毎に一時的に登録しておくキューに登録されて送信を待っているトラフィックの量が、予め各論理通信コネクション毎に定義されたセル数を越えた場合に、トラフ

ックの滞留が発生したと判定するように行うことを特徴とする請求項2記載のシェーピング方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ATM(Asynchronous Transfer Mode)スイッチ及びシェーピング方法に係り、特に、ATMスイッチの出力側回線インタフェースにおいて、通信品質の確保のために送信トラフィック量を制御するシェーピング機能を有するATMスイッチ及びそのシェーピング方法に関する。

## 【0002】

【従来の技術】一般に、従来技術によるATMスイッチにおけるシェーピングは、各論理通信経路(Virtual Path、以下、単にVPという)及び論理通信コネクション(Virtual Channel、以下、単にVCという)毎に帯域を割り当て、その帯域の範囲内でトラフィックの送信を行うように制御するものである。そして、これらのうち、VP毎のシェーピングにおいて、VPに割り当てられた帯域は、さらに、各VCに固定的に割り当てらる。このため、前記従来技術によるシェーピングは、あるVP内のあるVCに割り当てられた帯域を上回るトラフィックが受信され、トラフィックの滞留が発生している場合に、同一VP内の別のVCの帯域が空いていたとしても使用することができないものであった。

【0003】図15は本発明及び従来技術によるATMスイッチが利用されるATMネットワークの一例を示すブロック図、図16は従来技術によるATMスイッチにおけるシェーピング方法による通信の例を説明する図、図17は各VC毎の受信/送信トラフィック量及び割り当て帯域を説明する図であり、以下、これらの図を参照して、従来技術によるシェーピングについて説明する。図15、図16において、100はATMスイッチ、101~103はVC、130はユーザ端末、140は回線、200は公衆網、201は他のATMネットワーク、210、230はVP、211~213は受信トラフィック、231~233は送信トラフィック、220はキューバッファである。なお、図16はATMスイッチにおけるシェーピングの概念を示す図であり、ATMスイッチ自体に含まれる他の構成回路についての図示を省略している。

【0004】本発明及び従来技術によるATMスイッチが利用されるATMネットワークは、図15に示すように、複数のATMスイッチ100が相互に接続されて構成されており、各ATMスイッチは、複数のユーザ端末130を収容し、また、回線140を介して公衆網200と接続され、あるいは、他地区等のATMネットワーク201に接続されている。

【0005】いま、図示のようなネットワークにおいて、あるユーザが公衆網200とATMスイッチ100との間の回線140内に設定される1本のVPを、通信

## 3

業者との間でデジタル回線の契約を結んで借用し、この1本のVP内に設定される複数のVCを使用して通信を行うものとする。

【0006】図16において、VP230は、前述でユーザが借用したVPを示しており、また、VP210は、ネットワーク内からVP230に接続されるVPである。そして、VP210、230内には複数のVC101~103が設定されており、VC101~103は、ネットワークからの受信トラフィックVC231~23をシェーピングして、送信トラフィック231~233として送信している。そして、キューバッファ220は、受信トラフィックVC211~213のそれぞれと送信トラフィック231~233のそれぞれとの間の通信速度を吸収するために受信トラフィックを送信するまでの間、トラフィックを一時的に登録しておくキューを備えて構成される。図示例では、キューバッファ220内の各キューが、トラフィック221~223を保持しているとして示している。

【0007】前述したユーザが借用しているVP230内のVC101~103毎の受信/送信トラフィック量及び割り当て帯域の例が図17に示されている。この図17において、VPI、VCIは、それぞれVP識別子、VC識別子を表しており、ATMネットワーク上でVP及びVCを識別するために使用される。そして、この例では、図16に示すVP230のVPIが“0”であり、VP230内に設定されるVC101~103のVCIがそれぞれ“101”、“102”、“103”とされている。そして、VP230全体の割り当て帯域幅(Tj max)は10Mビット/秒、VC101~103への割り当て帯域幅は、それぞれ、5、3、2Mビット/秒とされている。

【0008】ここで、VC101~103に入力される受信トラフィック211~213のトラフィック量が図17に示すように、それぞれ、1、7、2Mビット/秒であったとする。この場合、VC102の受信トラフィック212のトラフィック量が7Mビット/秒であるのに対し、送信トラフィック232の割り当て帯域は3Mビット/秒であるため、受信トラフィック212のうち送信トラフィック232として送信することができるトラフィック量は3Mビット/秒より上げることができない。このため、キューバッファ220内のキューには、送信待ちのトラフィック222により満杯となり、トラフィックの滞留が発生する。

【0009】その一方で、VC101の割り当て帯域は5Mビット/秒であるのに対して、VC101の受信トラフィック211のトラフィック量は1Mビット/秒であり、VP230全体をみても、割り当て帯域10Mビット/秒に対して6Mビット/秒の送信しか行っていない。

【0010】前述したように、従来技術によるATMス

## 4

イッチは、送信トラフィック量をあくまでも各VCの割り当て帯域の範囲内となるように制御しているため、VPとして帯域に余裕がある場合にも、トラフィックの滞留が発生しているVCの送信トラフィック量を増加させることができないものであった。

【0011】なお、この種のATMスイッチに関する従来技術として、例えば、特開平6-46085号公報等に記載された技術が知られている。

【0012】

【発明が解決しようとする課題】前述したように、従来技術によるATMスイッチは、VP毎に割り当てられた帯域が各VCに固定的に割り当てられるため、未使用の帯域を別のVCに使用させることができず、回線リソースの有効活用を妨げているという問題点を有している。このことは、中でも限られた回線リソースを有効に利用することが特に求められる公衆網への接続等の場合に重大な問題となっている。

【0013】本発明の目的は、前記従来技術の問題点を解決し、VP毎のシェーピングにおいて、そのVP内の各VCの受信トラフィック量に基づいて、各VCの送信トラフィック量を動的に変化させることにより、VP内の帯域の有効活用を図り、各VCの送信効率の向上を図ることができるATMスイッチ及びシェーピング方法を提供することにある。

【0014】

【課題を解決するための手段】本発明によれば前記目的は、複数の回線を収容し、出力側回線インタフェースから回線に送信する送信トラフィックの量を制御するシェーピング機能を有し、複数のVCが設定されたVP毎にシェーピングを行うATMスイッチにおいて、受信したデータを送信するまでの間を一時的に保持するVC毎のキューを有するキューバッファと、データのキューへの格納を制御する制御部と、VPの送信トラフィック量の制御に使用するシェーピング定義情報テーブルと、制御部からの指示と前記シェーピング定義情報テーブルの内容に基づいてキューバッファからデータの読み出し、送信を制御する送信部とを備え、前記制御部は、入力側回線インタフェースを通して受信されている受信トラフィックの量と、前記キューバッファ内で滞留している滞留トラフィックとを監視し、あるVCの滞留トラフィックの量が、予め定められた量を上回っているとき、トラフィックの滞留を前記送信部に通知し、前記送信部は、そのVCが属するVPの当該VCをも含めた各VCの送信トラフィック量の総和がそのVPに割り当てられたトラフィック量を超えない範囲で、当該VCの送信トラフィック量を一時的に増加させることにより達成される。

【0015】本発明は、前述の構成を備えることにより、VP内の各VCの送信トラフィックの量と、受信トラフィックの量を監視し、あるVCの受信トラフィック量が当該VCに割り当てられた帯域を上回り、トラフィ

## 5

ックの滞留が発生し、その時点でVPの当該VCも含めた送信トラフィック量の総和がVPに割り当てられた帯域を下回っている場合に、VPに割り当てられた帯域を超えない範囲で、そのVCの受信トラフィック量に依じて、送信トラフィック量を増加させることができるので、そのVCのトラフィックの滞留を解消することができる。そして、受信トラフィック量が減少した場合には、送信トラフィック量を元に戻すことができる。

【0016】本発明は、前述したようなシェーピングを行っているので、通信業者からある一定の帯域が割り当てられたVPを借用し通信を行う場合にも、そのVP内の各VCの送信トラフィック量を受信トラフィック量に依じて動的に変化させることができ、これにより、限られたVPの帯域をより有効に活用することができる。

【0017】

【発明の実施の形態】以下、本発明によるATMスイッチ及びシェーピング方法の実施形態を図面により詳細に説明する。

【0018】図1は本発明の一実施形態によるATMスイッチの構成を示すブロック図、図2は転送先テーブルの内容を説明する図、図3は受信トラフィック割り当て先キューを定義するテーブルの内容を説明する図、図4はシェーピング定義情報テーブルの内容を説明する図、図5はVP内の各VCの送信トラフィック量の調整を行うための処理動作を説明するフローチャート、図6はキューバッファ内の各VC毎のキューの送信待ちトラフィックのセル数を監視し、滞留の発生及び解消を送信部へ通知するための処理動作を説明するフローチャートである。図1において、110は入力側回線インタフェース部、111は入力ポート、112は受信部、113は転送部、114は転送先テーブル、120は出力側回線インタフェース部、121は受信部、122は制御部、123はトラフィック割り当て先キューテーブル、124はキューバッファ、125はキュー、126は送信部、127はシェーピング定義情報テーブル、128は送信ポートであり、他の符号は図15、図16の場合と同一である。

【0019】図1に示す本発明の一実施形態によるATMスイッチ100は、入力側回線インタフェース部110と、シェーピング機能を持つ出力側回線インタフェース部120とにより構成される。入力側回線インタフェース部110は、ユーザ端末130、他のATMスイッチと接続される入力ポート111と、入力ポート111からのデータを受信する受信部112と、受信データの転送先情報を持つ転送先テーブル114と、転送先テーブル114の基づいてデータの転送を行う転送部113とにより構成される。また、出力側回線インタフェース部120は、入力側回線インタフェース部110の転送部113からのデータを受信する受信部121と、データを送信するまでの間データを一時的に保持す

## 6

るVC毎のキュー125を有するキューバッファ124と、トラフィックの割り当て先キューを決めるための受信トラフィック割り当て先キューテーブル123と、これに基づいてデータのキューへの格納を制御する制御部122と、VPの送信トラフィック量の制御に使用するシェーピング定義情報テーブル127と、制御部122からの指示とシェーピング定義情報テーブル127の内容に基づいてキューバッファ124からのデータの読み出し、送信を制御する送信部126と、送信ポート128とを備えて構成されている。

【0020】前述のように構成されるATMスイッチ100において、ユーザ端末130より入力側回線インタフェース部110の入力ポート111を経て入力されたトラフィックは、受信部112により受信された後、転送部113に送られる。転送部113は、転送先テーブル114を参照して、このトラフィックを出力ポートに対応する出力側回線インタフェース部120へ転送する。転送先テーブル114には、図2に示すように、入力側ポートに入力されるトラフィックがどの出力側ポートに出力されるかが、入力ポート識別番号と、VP I、VC I、出力ポート番号とを対応付けて格納されている。

【0021】出力側回線インタフェース120に転送されたトラフィックは、受信部121により受信される。そして、受信されたトラフィックは、制御部122により、受信トラフィック割り当て先キューテーブル123を参照し、各トラフィックのVP及びVCの値によって、キューバッファ124の、VC毎に定義されたキュー125に振り分けられて一旦格納される。受信トラフィック割り当て先キューテーブル123には、図3に示すように、各トラフィックのVP及びVCの値によって定義されたキュー125の番号と、入力側のポート番号とが対応付けられて格納されている。

【0022】キューバッファ124内の各キュー125に登録されたトラフィックは、送信部126により取り出され、出力ポート128より回線140に送信される。このとき、送信部126は、シェーピング定義情報テーブル127を参照し、各VPの送信トラフィック量が、同テーブルに定義された割り当て帯域の値を上回らないよう制御する。シェーピング定義情報テーブル127には、図4に示すように、送信ポートに設定されている各VP、VCに割り当てられている割り当て帯域の値が格納されている。

【0023】次に、図5を参照して、出力側回線インタフェースの送信部126におけるVP内の各VCの送信トラフィック量の調整を行うための処理動作を説明する。

【0024】(1)送信部126は、制御部122よりVP内の各VCのトラフィックの滞留の発生及び解消の通知があるか定期的にチェックし、何の通知もなければ

10

20

30

40

50

7

処理を終了する(ステップ501、502)。

【0025】(2)ステップ502で、トラフィックの滞留の発生あるいは解消の通知があった場合、送信部126は、そのVCの受信トラフィック量( $T_{j \text{ rec}}$ )を制御部122より受け取る(ステップ503)。

【0026】(3)次に、送信部126は、受け取った通知が、トラフィックの滞留の発生を知らせるものか、滞留の解消を知らせるものかを判定する(ステップ504、505)。

【0027】(4)ステップ505で滞留の発生の知らせを検出した場合、送信部126は、数1に示す式により求められる上位VP(S)の全送信トラフィック量( $S_i$ )とそのVPの割り当て帯域( $S_{i \text{ max}}$ )とを数2に示す式の条件で比較し、両者が一致しているか否かを判定する(ステップ507、508)。

【0028】

【数1】

【数1】

$$S_i = \sum_{j=1}^n T_j$$

20

【数4】

$$T_{j \text{ new}} = T_j + A$$

$$0 < A \leq (S_{i \text{ max}} - S_i - T_j) \text{ かつ}$$

$$T_{j \text{ new}} \leq T_{j \text{ rec}}$$

【0033】(6)ステップ508において、VP(S)の送信トラフィック量( $S_i$ )とそのVPの割り当て帯域( $S_{i \text{ max}}$ )とが一致していた場合、当該VPでは割り当て帯域一杯で送信を行っていることになり、通常、当該VCの送信トラフィック量( $T_j$ )の調整を行うことができないことになるが、このVP内の他のVCに、各VC毎の割り当て帯域( $T_{k \text{ max}}$ )を超えて送信トラフィック量( $T_k$ )を増加させられているVC(U)がすでに存在している可能性があるため、数5に示す式の条件に当てはまるVCがあるか否かをチェックすることにより、そのようなVCがあるか否かをチェックする(ステップ510、511)。

【0034】

【数5】

【数5】

$$T_k > T_{k \text{ max}}$$

40

【数6】

$$T_{j \text{ new}} = (T_j + \sum_{v=1}^x U_v) \frac{T_{j \text{ max}}}{T_{j \text{ max}} + \sum_{v=1}^x U_{v \text{ max}}}$$

【0037】(8)また、ステップ505において、受け取った通知がトラフィックの滞留の解消を知らせるものであった場合、送信部126は、当該VCの送信トラフィック量( $T_j$ )を減少させる。この場合、当該VCの

50

8

【0029】但し、 $T_j$ はそのVPに含まれる各VCの送信トラフィック量、 $n$ はVPに含まれるVCの数である。

【0030】

【数2】

【数2】

$$S_i = S_{i \text{ max}}$$

【0031】(5)ステップ508において、VP(S)の送信トラフィック量( $S_i$ )とそのVPの割り当て帯域( $S_{i \text{ max}}$ )とが不一致であった場合、送信部126は、VPの割り当て帯域( $S_{i \text{ max}}$ )を超えない範囲で滞留が発生しているVCの送信トラフィック量( $T_j$ )を増加させる。この場合、当該VCの調整後の送信トラフィック量( $T_{j \text{ new}}$ )は、数4に示す式により求めることができる(ステップ509)。

【0032】

【数4】

【0035】(7)ステップ511のチェックで、すでに割り当て帯域( $T_{k \text{ max}}$ )を超えて送信トラフィック量( $T_k$ )を増加させられているVC(U)があると判定した場合、送信部126は、当該VCも含めてVP内の各VCの送信トラフィック量を調整する必要があると判断し、当該VCの現在の送信トラフィック量( $T_j$ )とすでに割り当て帯域を超えて送信トラフィック量が増加させられているVCの送信トラフィック量( $U_v$ )の総和との合計の送信トラフィック量を、各VCの割り当て帯域の値に応じて再分配する。この場合、当該VCの調整後の送信トラフィック量( $T_{j \text{ new}}$ )は、数6に示す式により求めることができる(ステップ512)。

【0036】

【数6】

調整後の送信トラフィック量( $T_{j \text{ new}}$ )は、数3に示す式により求めることができる(ステップ506)。

【0038】

【数3】

## 【数3】

$T_{j\text{ new}} = T_{j\text{ max}}$   
 但し、 $T_{j\text{ rec}} < T_{j\text{ max}}$  の時  
 $T_{j\text{ new}} = T_{j\text{ rec}}$

【0039】次に、図6に示すフローを参照して、出力側回線インタフェースの制御部122におけるキューバッファ124内の各VC毎のキュー125の送信待ちトラフィックのセル数を監視し、滞留の発生及び解消を送信部126へ通知するための処理動作を説明する。

【0040】(1) 制御部122は、キューバッファ124内の各VC毎のキュー125に登録されている送信待ちセル数を定期的にチェックし、当該VCの送信待ちセル数( $C_j$ )と、同VCに対して予め設定された滞留検出の境界値となるセル数( $C_{j\text{ max}}$ )とを比較し、 $C_j \geq C_{j\text{ max}}$ となっているか否かをチェックする(ステップ601、602)。

【0041】(2) ステップ602のチェックで、 $C_j \geq C_{j\text{ max}}$ の条件が満たされている場合、すなわち、そのVCでトラフィックの滞留が発生していると判定された場合、制御部122は、この滞留の発生をすでに送信部126へ通知済みか否かを判定し、通知済みの場合、何の処理も行わずに処理を終了する(ステップ603、604)。

【0042】(3) ステップ604の判定で滞留発生の通知済みでなかった場合、制御部122は、当該VCの受信トラフィック量( $T_{j\text{ rec}}$ )を取得し、送信部126へ滞留の発生と当該VCの受信トラフィック量( $T_{j\text{ rec}}$ )を通知する(ステップ605、606)。

【0043】(4) ステップ602のチェックで、 $C_j \geq C_{j\text{ max}}$ の条件が満たされていない場合、すなわち、そのVCでトラフィックの滞留が発生していないと判定された場合、制御部122は、前回のチェック時に、当該VCのキューにおいてトラフィックの滞留が発生していたか否かを判定し、発生していなかった場合、何の処理も行わずに処理を終了する(ステップ607、608)。

【0044】(5) ステップ608の判定で、前回チェック時にトラフィックの滞留が発生していたと判定した場合、制御部122は、送信部126へ滞留の解消を通知する(ステップ609)。

【0045】本発明の実施形態によるATMスイッチは、前述したような制御を行うことにより、当該VP内の各VCの送信トラフィック量をそれらの受信トラフィック量に応じて動的に変化させることができるため、VPに割り当てられている帯域を有効に活用することができる、送信効率の向上を図ることができる。

【0046】図7は図1における出力側回線インタフェース部120内で行われるシェーピング制御の方法の例を具体的に説明する図、図8はある時点における各VC

の受信トラフィック量( $T_{j\text{ rec}}$ )を示す図、図9はトラフィック調整後の送信トラフィック量( $T_{j\text{ new}}$ )を示す図である。以下、これらの図を参照して、前述した処理動作を行うATMスイッチにおける実際のシェーピング動作を具体的に説明する。

【0047】ここでは、従来技術で説明したと同様に、VC101~103が設定されているVP( $VP1 = "0"$ )のシェーピングを行う際の各VC101~103の送信トラフィック量の制御について説明する。そして、図7に示す符号のうち、VP、VC及びトラフィックに付与された符号は図16の場合と同一であり、その他は、図1の場合と同一である。

【0048】制御部122は、VC101~103の受信トラフィック211~213の量を監視すると共に、キューバッファ124内の各VC毎のキューに登録されている送信待ちトラフィック221~223の量についても監視を行っている。

【0049】いま、ある時点において、VC102のキューが送信待ちトラフィック222により満杯となり、トラフィックの滞留が発生したものとする。制御部122は、VC102の受信トラフィック212の量( $T_{j\text{ rec}}$ )を調べる。このとき、各VC101~103の受信トラフィック量が図8に示すような値を持っているものとする。制御部122は、これにより、VC102のキューが満杯であることと、受信トラフィック212の量( $T_{j\text{ rec}}$ )を、送信部126に通知する。

【0050】送信部126は、送信トラフィック量を監視、制御しており、前述の通知を受けた時点でのVP全体の送信トラフィック量( $S_i$ )と、シェーピング定義情報テーブル127(定義内容は図4に示す内容と同一であるとする)に定義されているそのVPの割り当て帯域( $S_{i\text{ max}}$ )とを比較する。この結果、VPへの割り当て帯域( $S_{i\text{ max}}$ )10Mビット/秒に対し、送信トラフィック量( $S_i$ )が7Mビット/秒だけしかないことが判ったとする。

【0051】送信部126は、このVPへの割り当て帯域( $S_{i\text{ max}}$ )10Mビット/秒を超えない範囲で、VC102の送信トラフィック232の量( $T_j$ )を調整し、例えば、図9に示すように調整後の送信トラフィック量( $T_{j\text{ new}}$ )の状態となるようにする( $T_{j\text{ new}}$ は、すでに説明したように、数4に示す式により算出することができる)。制御部540は、対応するキューが満杯でなくなった(トラフィックの滞留の解消)とき、送信トラフィック232の量( $T_j$ )を減少させる(この場合の $T_{j\text{ new}}$ は、数3に示す式により算出することができる)。

【0052】本発明の実施形態は、前述した制御により、VP全体での割り当て帯域を有効に活用することができると同時に、VC102の送信トラフィック232をより効率的に送信することができる。



【0053】図10は図1における出力側回線インタフェース部120内で行われるシェーピング制御の方法の他の例を具体的に説明する図、図11はある時点における各VCの受信トラフィック量( $T_{j\text{ rec}}$ )を示す図、図12はトラフィック調整後の送信トラフィック量( $T_{j\text{ new}}$ )を示す図である。以下、これらの図を参照して、前述した処理動作を行うATMスイッチにおける実際のシェーピング動作の他の例を具体的に説明する。

【0054】図10に示す例は、図7により説明したと同様に、出力側回線インタフェース部内で行われるシェーピング制御について示しているが、ここでは、VC102のキューが満杯となり、VC102のトラフィックに滞留が発生したため、前述で説明した手順によりVC102の送信トラフィック232の量( $T_j$ )を既に増加させているものとする。

【0055】制御部122は、VC101~103の受信トラフィック211~213の量を監視すると共に、キューバッファ124内の各VC毎のキューに登録されている送信待ちトラフィック221~223の量についても監視を行っている。

【0056】いま、ある時点において、VC102のキューが満杯となったため、送信トラフィック232の量( $T_j$ )を増加させて、トラフィックの滞留の解消を図っているとする。この状態のとき、VC101のキューが満杯となりトラフィックの滞留が発生したものとする。この場合、制御部122は、受信トラフィック211の量を調べる。

【0057】この結果、この時点での各VCの受信トラフィック量( $T_{j\text{ rec}}$ )が図11に示すような値となっていたとすると、制御部122は、VC101に対応するキューが満杯であることと、図11の受信トラフィック231の量( $T_{j\text{ rec}}$ )を、送信部126に通知する。

【0058】送信部126は、制御部122から前述の通知を受けた時点でのVC101以外の各VCの送信トラフィック量232、233( $T_j$ )と、シェーピング定義情報テーブル127(定義内容は図4に示す内容と同一であるとする)に定義されている割り当て帯域( $T_{j\text{ max}}$ )とを比較し、各VCの割り当て帯域を超えて送信トラフィック量が増加させられているVCがないかを調べる。この結果、送信部126は、各VCの今回の調整前の送信トラフィック量が図12に示すような送信トラフィック量であった場合、VC102の送信トラフィック232の量が割り当てられた帯域を超えていることを検出することができる。

【0059】そこで、送信部126は、VC101の送信トラフィック231の量( $T_j=2\text{Mビット/秒}$ )と、VC102の送信トラフィック232の量( $T_j=6\text{Mビット/秒}$ )とを合計し( $8\text{Mビット/秒}$ )、この合計した送信トラフィック量を、VC101の割り当て帯域( $T_{j\text{ max}}=5\text{Mビット/秒}$ )とVC102の割り当て帯域( $T_{j\text{ max}}=3\text{Mビット/秒}$ )とを合計して( $8\text{Mビット/秒}$ )それぞれのVCの割り当て帯域の合計に占める割合により再分配し、図12に示すような調整後の送信トラフィック量( $T_{j\text{ new}}$ )となるようにする。

【0060】これにより、VPの帯域は、各VCの受信トラフィック量に応じて、最適に配分されたことになる。

【0061】図13は出力側回線インタフェース部内で行われるシェーピング制御のうち、キューバッファ124内の各VC毎のキューのトラフィックの滞留の検出方法を説明する図、図14はトラフィックの滞留を検出するための情報を格納したトラフィック滞留検出情報テーブルの内容を示す図であり、以下、これらの図を参照して、前述した処理動作を行うATMスイッチにおけるトラフィックの滞留を検出する方法を説明する。

【0062】制御部122は、キューバッファ123内のVC101~103の各キューに登録されている送信待ちトラフィック221~223の量 $C_j$ (実際にはトラフィックを構成するセルの数)と、トラフィック割り当て先キューテーブル123内に設けられている図14に示すようなトラフィック滞留検出情報テーブルに定義されている各VC毎の滞留検出セル数 $C_{j\text{ max}}$ とを比較する。その結果、ある時点でのVC102のキューの送信待ちトラフィック222の量が60セル以上であり、かつ、このことが送信部126に通知済みでない場合、制御部122は、VC102にトラフィックの滞留が発生したと判断し、VC102の受信トラフィック212の量( $T_{j\text{ rec}}$ )を取得し、送信部126にVC102にトラフィックの滞留が発生したことと、VC102の受信トラフィック212の量( $T_{j\text{ rec}}$ )とを通知する。

【0063】そして、制御部122は、VC102のキューの送信待ちトラフィック222の量( $C_j$ )が60セル未満に減少したとき、トラフィックの滞留が解消したと判断し、送信部126にトラフィックの滞留の解消を通知する。

【0064】  
【発明の効果】以上説明したように本発明によれば、VP毎の割り当て帯域を有効に活用することができると共に、そのVP内のVCのトラフィックの送信効率を向上させることができ、回線リソースを有効に利用することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態によるATMスイッチの構成を示すブロック図である。

【図2】受信したセルの転送先を定義した転送先テーブルの内容を説明する図である。

【図3】受信トラフィック割り当て先キューを定義するテーブルの内容を説明する図である。

【図4】シェーピング定義情報テーブルの内容を説明する図である。

【図5】VP内の各VCの送信トラフィック量の調整を行うための処理動作を説明するフローチャートである。

【図6】キューバッファ内の各VC毎のキューの送信待ちトラフィックのセル数を監視し、滞留の発生及び解消を送信部へ通知するための処理動作を説明するフローチャートである。

【図7】図1における出力側回線インタフェース部内で行われるシェーピング制御の方法の例を具体的に説明する図である。

【図8】図7に示す例において、ある時点における各VCの受信トラフィック量( $T_{j \text{ rec}}$ )を示す図である。

【図9】図7に示す例において、トラフィック調整後の送信トラフィック量( $T_{j \text{ new}}$ )を示す図である。

【図10】図1における出力側回線インタフェース部内で行われるシェーピング制御の方法の他の例を具体的に説明する図である。

【図11】図10に示す例において、ある時点における各VCの受信トラフィック量( $T_{j \text{ rec}}$ )を示す図である。

【図12】図10に示す例において、トラフィック調整後の送信トラフィック量( $T_{j \text{ new}}$ )を示す図である。

【図13】キューバッファ内の各VC毎のキューのトラフィックの滞留の検出方法の例を具体的に説明する図である。

【図14】トラフィックの滞留を検出するための情報を格納したトラフィック滞留検出情報テーブルの内容を示す図である。

【図15】本発明及び従来技術によるATMスイッチが利用されるATMネットワークの一例を示すブロック図

である。

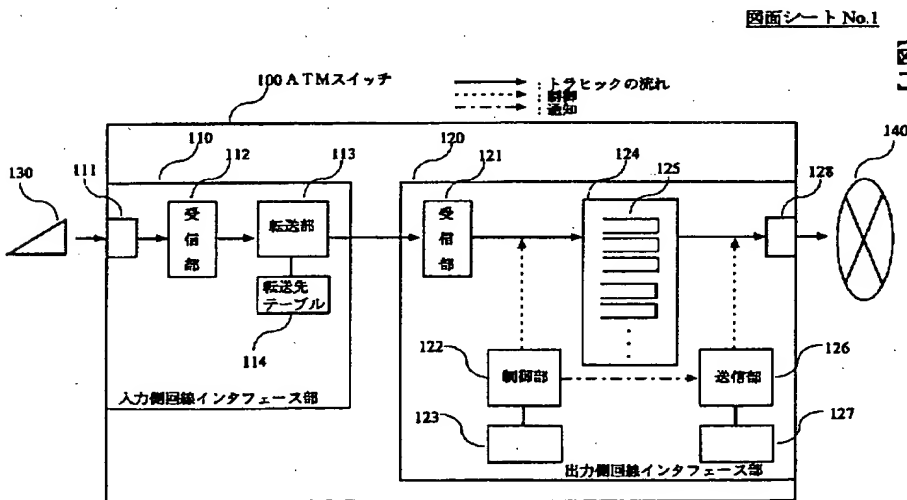
【図16】従来技術によるATMスイッチにおけるシェーピング方法による通信の例を説明する図である。

【図17】各VC毎の受信/送信トラフィック量及び割り当て帯域を説明する図である。

【符号の説明】

- 100 ATMスイッチ
- 101~103 VC
- 110 入力側回線インタフェース部
- 111 入力ポート
- 112、121 受信部
- 113 転送部
- 114 転送先テーブル
- 120 出力側回線インタフェース部
- 122 制御部
- 123 トラフィック割り当て先キューテーブル
- 124 キューバッファ
- 125 キュー
- 126 送信部
- 127 シェーピング定義情報テーブル
- 128 送信ポート
- 130 ユーザ端末
- 140 回線
- 200 公衆網
- 201 他のATMネットワーク
- 210、230 VP
- 211~213 受信トラフィック
- 231~233 送信トラフィック
- 220 キューバッファ

【図1】



【図3】

受信トラフィック  
割り当て先キューテーブル

入力側 ポート	VPI	VCI	キュー割 り当て先
0	0	101	0
0	0	102	1
0	0	103	2
0	1	104	3
:	:	:	:

【図4】

シェーピング  
定義情報テーブル

VPI	VCI	割り当て 帯域 ( $T_{j \text{ max}}$ )
0	-	10
0	101	5
0	102	3
0	103	2
1	-	15
1	104	3
:	:	:

割り当て帯域:単位はM(bit)×10<sup>6</sup>/秒

【図2】

【図2】

転送先テーブル			
入力側 ポート	VPI	VCI	出力側 ポート
0	0	101	1
0	0	102	1
0	0	103	1
0	1	104	1
:	:	:	:

【図8】

【図8】

VPI	VCI	受信 トラフィック量 (Tj rec)
0	101	2
0	102	6
0	103	2

受信トラフィック量:単位はM(bit)バイト/秒

【図11】

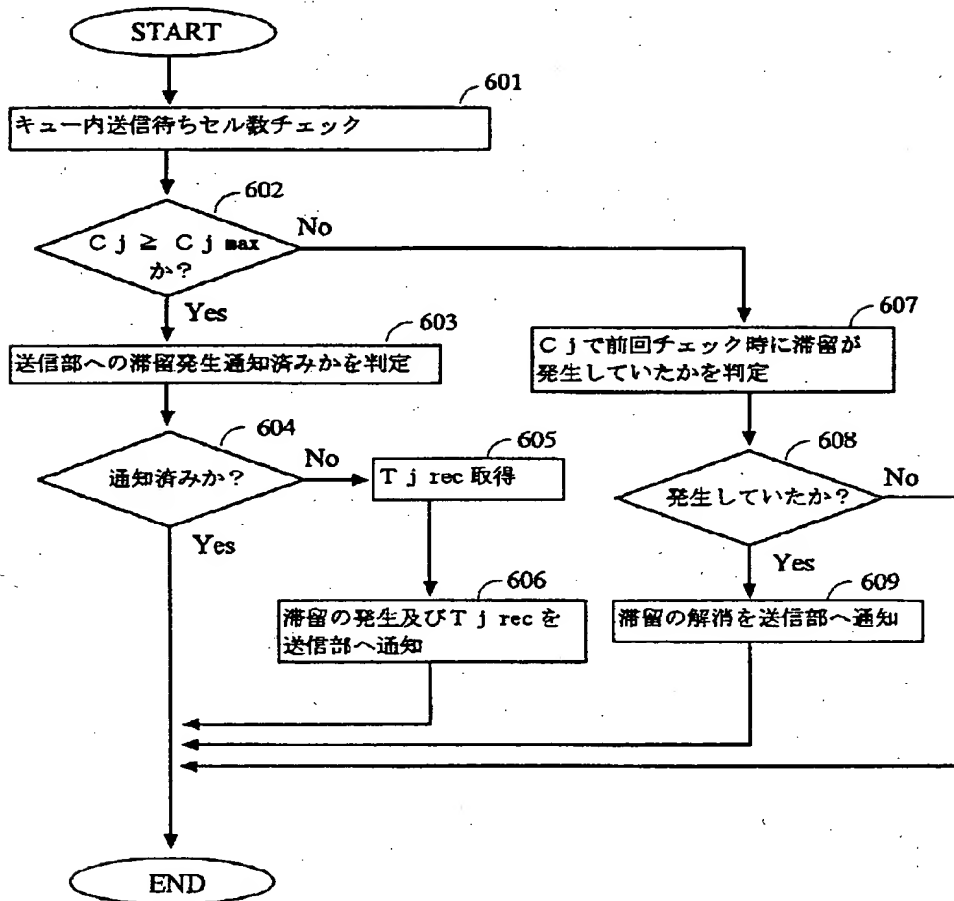
【図11】

VPI	VCI	受信 トラフィック量 (Tj rec) (変動前)	受信 トラフィック量 (Tj rec) (変動後)
0	101	2	5
0	102	6	6
0	103	2	2

受信トラフィック量:単位はM(bit)バイト/秒

【図6】

【図6】



【図9】

【図12】

【図14】

【図9】

VPI	VCI	送信 トラフィック量 (Tj) (調整前)	送信 トラフィック量 (Tj) (調整後)
0	-	7	10
0	101	2	2
0	102	3	6
0	103	2	2

送信トラフィック量:単位はM(bit)バイト/秒

【図12】

VPI	VCI	送信 トラフィック量 (調整前) (Tj)	送信 トラフィック量 (調整後) (Tj new)
0	-	10	10
0	101	2	5
0	102	6	3
0	103	2	2

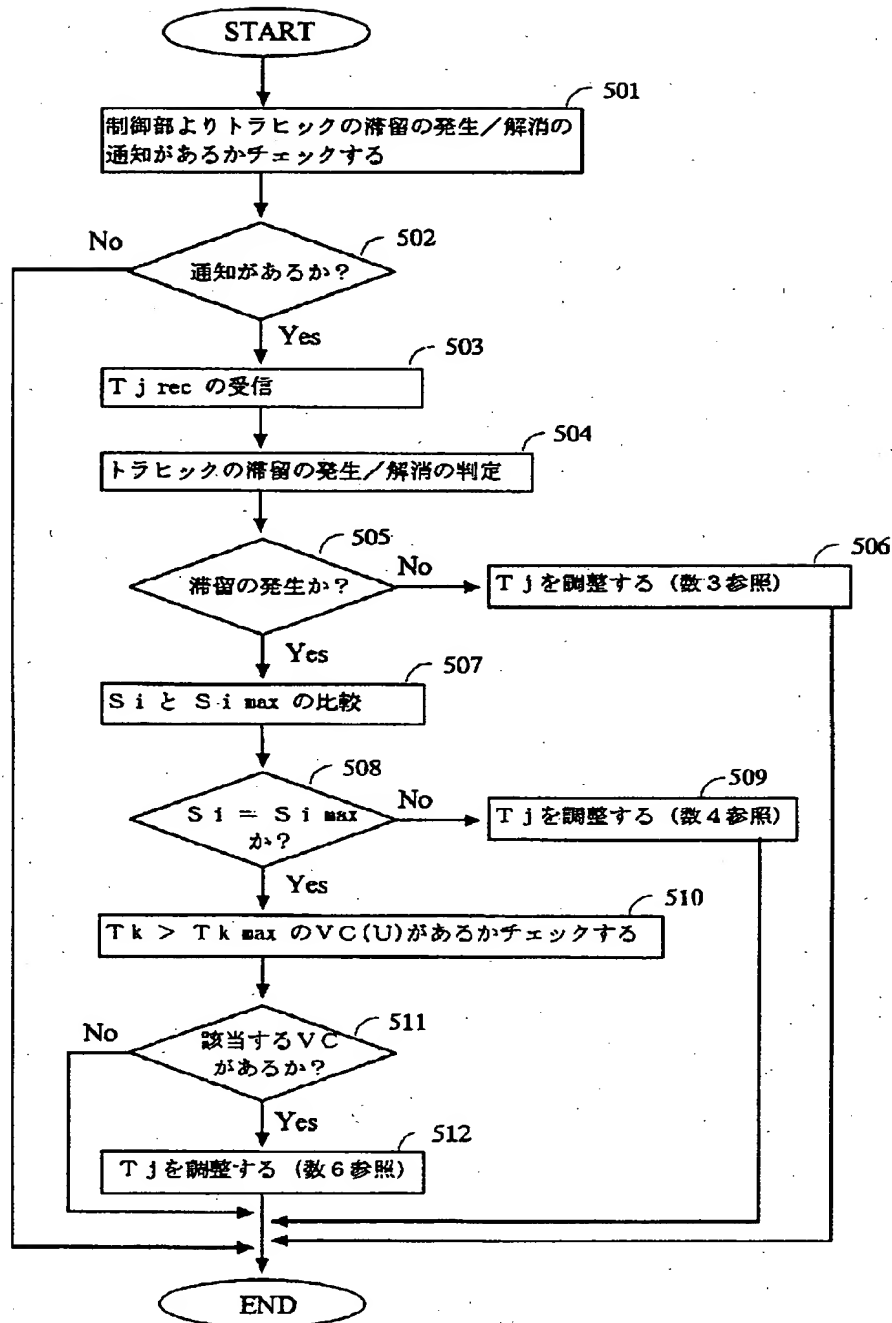
送信トラフィック量:単位はM(bit)バイト/秒

【図14】

トラフィック滞留 検出情報テーブル		
VPI	VCI	滞留検出 セル数 (Cj_max)
0	101	60
0	102	60
0	103	40
:	:	:

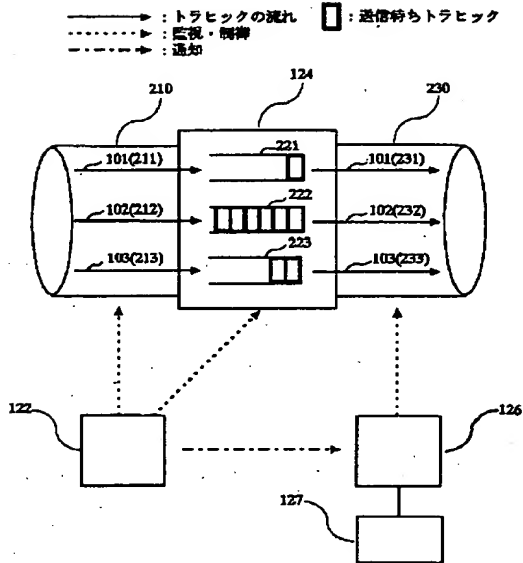
【図5】

【図5】



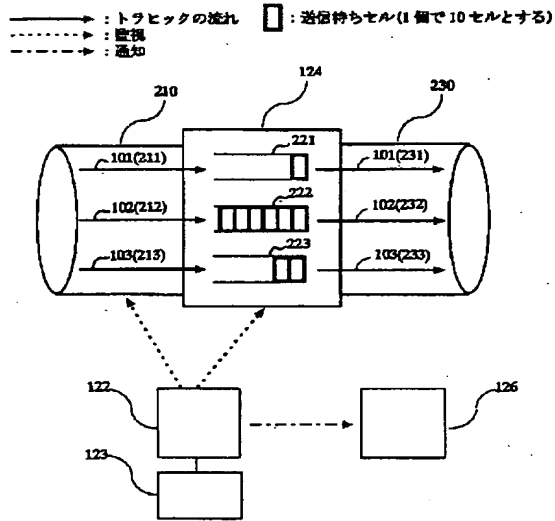
【図7】

【図7】



【図13】

【図13】



【図17】

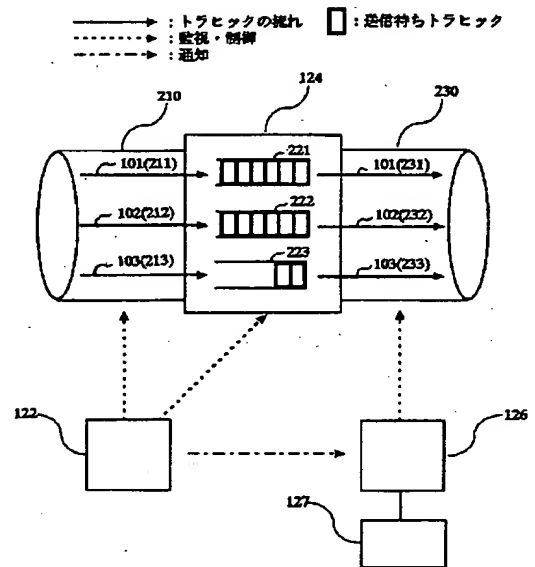
【図17】

VPI	VCI	受信 トラヒック量 (Tj rec)	割り当て 帯域 (Tj max)	送信 トラヒック量 (Tj)
0	-	10	10	6
0	101	1	5	1
0	102	7	3	3
0	103	2	2	2

受信トラヒック量/割り当て帯域/送信トラヒック量:  
 単位はM(秒)<sup>3</sup>ビット/秒

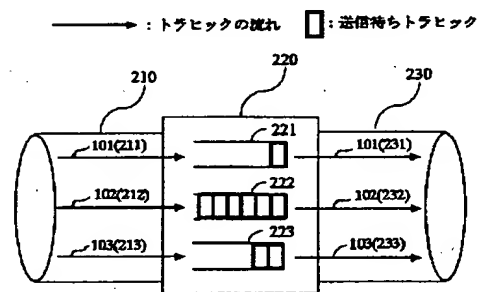
【図10】

【図10】

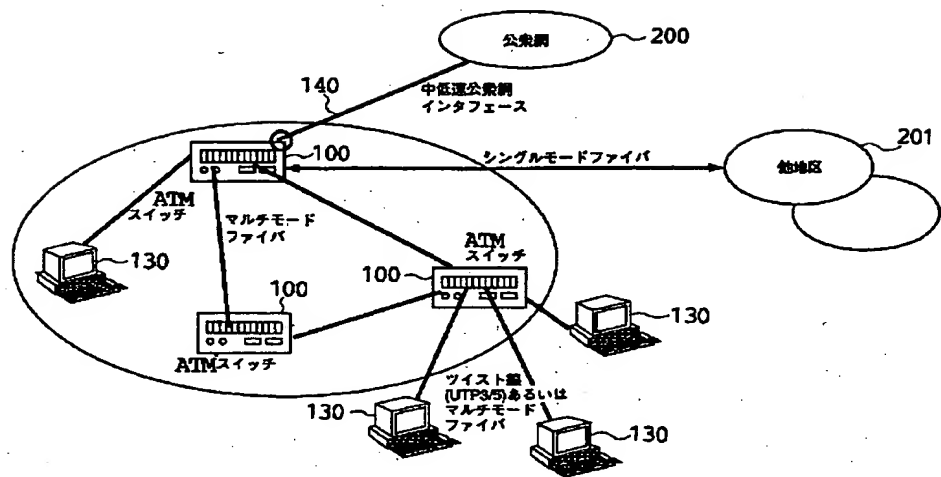


【図16】

【図16】



【図15】



【図15】

フロントページの続き

(72)発明者 丹羽 徳広  
 神奈川県海老名市下今泉810番地 株式会  
 社日立製作所オフィスシステム事業部内

(72)発明者 飯島 壮之  
 神奈川県横浜市中区尾上町六丁目81番地  
 日立ソフトウェアエンジニアリング株式会  
 社内